

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-204634
 (43)Date of publication of application : 30.07.1999

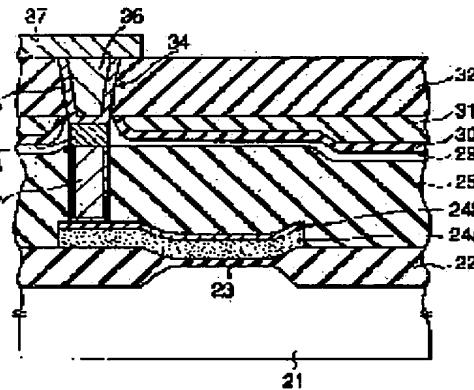
(51)Int.CI. H01L 21/768

(21)Application number : 10-004386 (71)Applicant : NKK CORP
 (22)Date of filing : 13.01.1998 (72)Inventor : TAKEUCHI NOBUYOSHI

(54) FORMATION OF BORDERLINES VIA HOLE

(57)Abstract:

PROBLEM TO BE SOLVED: To avoid a punch-through to a foundation layer during etching.
SOLUTION: This formation method of a borderless via hole consists of a process for forming a metal wiring layer 28 on an Si board 21, a process for forming an oxide film 29 over the entire metal wiring layer 28, a process for forming an SiN film 30 the etching rate of which is smaller than that of the oxide film 29, a process for forming an oxide film 31 the etching rate of which is larger than that of the SiN film 30 on the SiN film 30, a process for removing the oxide film 31 and the SiN film 30, until the oxide film 29 on the wiring layer 28 is exposed by chemical and mechanical polishing, and a process for forming a thick interlayer insulating film 32 over the entire surface, thereafter selectively etching the interlayer insulation film 32 and the oxide film 29 and forming a via hole in the corresponding layer insulation film 32 and oxide film 29 on the metal wiring layer 28.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-204634

(43)公開日 平成11年(1999)7月30日

(51)Int.Cl*

H 0 1 L 21/768

識別記号

F I

H 0 1 L 21/90

B

審査請求 未請求 請求項の数2 OL (全5頁)

(21)出願番号 特願平10-4386

(22)出願日 平成10年(1998)1月13日

(71)出願人 000004123

日本钢管株式会社

東京都千代田区丸の内一丁目1番2号

(72)発明者 竹内 信善

東京都千代田区丸の内一丁目1番2号 日

本钢管株式会社内

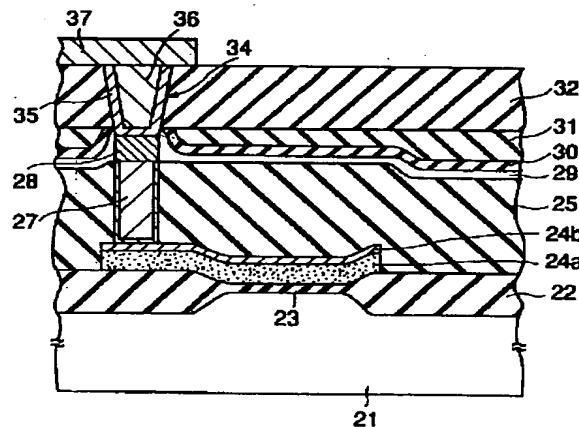
(74)復代理人 弁理士 花輪 錠男

(54)【発明の名称】 ボーダレスピアホールの形成方法

(57)【要約】

【課題】エッチング時に下地層への突き抜けを回避することを課題とする。

【解決手段】S i 基板21上に金属配線層28を形成する工程と、前記金属配線層を含む全面に酸化膜29を形成する工程と、この酸化膜上に該酸化膜よりエッチングレートの小さいS i N膜30を形成する工程と、このS i N膜上に該S i N膜よりエッチングレートの大きい酸化膜31を形成する工程と、化学機械的研磨により前記酸化膜31及びS i N膜を前記配線層上の酸化膜29が露出するまで除去する工程と、全面に厚い層間絶縁膜32を形成した後、この層間絶縁膜及び酸化膜29を選択的にエッチングし、前記金属配線層上に対応する層間絶縁膜及び酸化膜29にピアホールを形成する工程とを具備することを特徴とするボーダレスピアホールの形成方法。



(2)

特開平11-204634

2

1

【特許請求の範囲】

【請求項1】 半導体基板上に金属配線層を形成する工程と、前記金属配線層を含む全面に第1の絶縁膜を形成する工程と、この第1の絶縁膜上に該第1の絶縁膜よりエッティングレートの小さい第2の絶縁膜を形成する工程と、この第2の絶縁膜上に該第2の絶縁膜よりエッティングレートの大きい第3の絶縁膜を形成する工程と、化学機械的研磨により前記第3の絶縁膜及び第2の絶縁膜を前記配線層上の第2の絶縁膜が露出するまで除去する工程と、全面に厚い第4の絶縁膜を形成した後、この第4の絶縁膜、第1の絶縁膜を選択的にエッティングし、前記金属配線層上に対応する第4の絶縁膜、第1の絶縁膜にピアホールを形成する工程とを具備することを特徴とするボーダレスピアホールの形成方法。

【請求項2】 第1の絶縁膜、第3の絶縁膜が酸化膜で、第2の絶縁膜が窒化膜であることを特徴とする請求項1記載のボーダレスピアホールの形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、微細半導体を製造するために必要なボーダレスピアホールの形成方法に関する。

【0002】

【従来の技術】 周知の如く、半導体の微細化が進み、セルファアライメント技術はますます重要になってきている。ところで、チップを大きくしている要因は、各層間のアライメントマージンや加工変換差を考慮したレイアウトを行っているからで、アライメントマージンをゼロにできればチップを確実に小さくできる。

【0003】 代表的なセルファアライメント技術は、MOS型トランジスタのソース・ドレイン形成のためのポリシリコンゲートマスクである。また、セルファアライメントコンタクトとよばれる技術もある。これは、ミスアライメントをエッティング選択比の差で吸収する技術である。

【0004】 ボーダレスピアホール（以下、単にボーダレスピアと呼ぶ）は、ピアホールを受ける金属配線層部分にミスアライメントや加工変換差を考慮したマージン分の広がりを形成しないものである。従って、例えば図1のように下地となる金属配線層1にテーパ1aをつけ、かつ層間絶縁膜2に形成したピアホール3にもテーパ3aをつけそのテーパでミスアライメントを吸収する技術（前者）が知られている。また、図3のように下地となる金属配線層1上の層間絶縁膜2をできるだけ均一エッティングしてピアホールを形成し、金属配線層1の厚さでミスアライメント及び下層へのピアの突き抜けを防止する技術（後者）が知られている。

【0005】

【発明が解決しようとする課題】 しかしながら、ボーダレスピアは本来の意味でのセルファアライメント技術では

ない。つまり、前者の技術では、ミスアライメントが大きすぎた場合、エッティングが下地の金属配線層1で止まらず、図2に示すようにそれより下に突き抜けてしまうという問題を有する。また、後者の技術では、一般に層間絶縁膜2の厚みが不均一であるためオーバーエッティングの必要性が生じ、その結果図4に示すように金属配線層1の膜厚差でオーバーエッティングマージンを吸収できなくなるという問題を有する。

【0006】 本発明はこうした事情を考慮してなされたもので、ピアホールを形成すべき箇所の金属配線層上の絶縁膜に改良を施すことにより、ミスアライメントが大きすぎた場合でも、エッティング時に下地層への突き抜けを回避しえるボーダレスピアホールの形成方法を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明は、半導体基板上に金属配線層を形成する工程と、前記金属配線層を含む全面に第1の絶縁膜を形成する工程と、この第1の絶縁膜上に該第1の絶縁膜よりエッティングレートの小さい第2の絶縁膜を形成する工程と、この第2の絶縁膜よりエッティングレートの大きい第3の絶縁膜を形成する工程と、化学機械的研磨により前記配線層上の第2の絶縁膜が露出するまで除去する工程と、全面に厚い第4の絶縁膜を形成した後、この第4の絶縁膜、第1の絶縁膜を選択的にエッティングし、前記金属配線層上に対応する第4の絶縁膜、第1の絶縁膜にピアホールを形成する工程とを具備することを特徴とするボーダレスピアホールの形成方法である。

【0008】 本発明において、第1の絶縁膜、第3の絶縁膜としては酸化膜で、第2の絶縁膜としては窒化膜である場合が挙げられるが、これに限定されない。

【0009】

【発明の実施の形態】 本発明の骨子は、図5や図6に示す通りである。図5及び図6は、ともに金属配線層11上に第1の絶縁膜として酸化膜12、第2の絶縁膜としての窒化膜13、第3の絶縁膜としての酸化膜14を順次堆積した後、化学機械的研磨によりこれらの積層膜を金属配線層11上の窒化膜13が露出するまで平坦化するものである。この後、全面に層間絶縁膜15を形成し、常法により金属配線層11上に図5のようにテーパ16aを有したピアホール16（あるいは図6のようにRIEによるテーパのないピアホール17）を形成する。ここで、ピアホールの形成時、窒化膜13のエッティングレートが酸化膜12、14のエッティングレートより小さいため、窒化膜13がマスクとなりセルファアライメントでピアホールを形成することができる。

【0010】

【実施例】 以下、本発明の一実施例に係るボーダレスピアホールの形成方法を図7～図12を参照して工程順に

50

(3)

特開平11-204634

3

説明する。

【0011】(1) まず、例えばSi基板21上に公知の方法によりフィールド酸化膜22を形成した後、このフィールド酸化膜22で囲まれた素子領域にゲート酸化膜23を形成した。つづいて、素子領域のゲート酸化膜23上に延出するように多結晶シリコン層24aとWSi_x層24bからなる下地配線層24を形成した。次いで、全面にBPSG膜25を形成した後、下地配線層24上のBPSG膜25をRIEにより選択的にエッティングし、コンタクトホール26を形成した。更に、このコンタクトホール26にTiN/Ti層27を介してW(タンゲステン)層27を充填し、この後フォト・エッティングによりこのW層27上に金属配線層28を形成した(図7参照)。

【0012】(2) 次に、金属配線層28を含む全面に、第1の絶縁膜としてのTEOS(酸化膜)29、第2の絶縁膜としてのSiN膜30、第3の絶縁膜としてのTEOS(酸化膜)31を順次プラズマCVDにより形成した(図8参照)。

【0013】(3) 次に、前記酸化膜31、SiN膜30、酸化膜29をCMPにより平坦化研磨を行った。ここで、SiN膜30は酸化膜29、31に比べ研磨しにくいので、研磨ストップとして用いられるが、本実施例では研磨終点判定に用いた。金属配線層28上のSiN膜30は金属配線層28の分高い位置にあるから、最初にこの部分のSiN膜30が研磨されることになる(図9参照)。つづいて、全面に層間絶縁膜32を形成した(図10参照)。

【0014】(4) 次に、前記層間絶縁膜32上に金属配線層28に対応する部分が開口したレジスト33を形成した。つづいて、このレジスト33をマスクとして層間絶縁膜32及び金属配線層28上の酸化膜29をフォト・エッティングにより選択的にエッティング除去し、金属配線層28が露出したピアホール34を形成した(図11参照)。この後、レジスト33を除去し、さらにピアホール34にTiN層35を介してW層36を充填し、このW層36に接続する金属配線層37を形成して半導体素子を形成した(図12参照)。

【0015】上記実施例によれば、金属配線層28を含む全面に酸化膜29、SiN膜30、酸化膜31を順次形成し、全面に厚い層間絶縁膜32を形成した後、前記層間絶縁膜32、酸化膜31、SiN膜30をCMPにより平坦化研磨を行うため、SiN膜30が酸化膜32、31に比べ研磨しにくく、かつ金属配線層28上のSiN膜30は金属配線層28の分高い位置にあるから、最初にこの部分のSiN膜30が研磨されるが、金属配線層28のSiN膜30は除去されることはない。つまり、金属配線層28のSiN膜30がエッティングストップ層になる。従って、金属配線層28に対してセルフアライメントにピアホール34を形成することができる。

【0016】なお、上記実施例では、第1の絶縁膜、第3の絶縁膜として酸化膜(SiO₂膜)を、第2の絶縁

4

膜として窒化膜(SiN膜)を用いた場合について述べたが、これに限定されず、第2の絶縁膜のエッティングレートが第1の絶縁膜、第3の絶縁膜のエッティングレートよりも大きければ、どの材料を用いてもよい。

【0017】

【発明の効果】以上詳述した如く本発明によれば、ピアホールを形成すべき箇所の金属配線層上の絶縁膜に改良を施すことにより、ミスアライメントが大きすぎた場合でも、エッティング時に下地層への突き抜けを回避しえるボーダレスピアホールの形成方法を提供できる。

【図面の簡単な説明】

【図1】金属配線層やピアホールにテーパを付けた従来の半導体素子の断面図。

【図2】図1の半導体素子による問題点を説明するための図。

【図3】金属配線層上の層間絶縁膜を厚く仕手RIEによるピアホールを有した従来の半導体素子の断面図。

【図4】図3の半導体素子による問題点を説明するための図。

20 【図5】本発明に係るボーダレスピアホールの説明図。
【図6】本発明に係るその他のボーダレスピアホールの説明図。

【図7】本発明に係るボーダレスピアホールの形成方法の一工程図で、下地となる金属配線層を形成するまでの断面図。

【図8】本発明に係るボーダレスピアホールの形成方法の一工程図で、下地となる金属配線層を含む基板全面に酸化膜/SiN膜/酸化膜の積層膜を形成するまでの断面図。

30 【図9】本発明に係るボーダレスピアホールの形成方法の一工程図で、酸化膜/SiN膜/酸化膜の積層膜を金属配線層上のSiN膜が露出するまで平坦化するまでの断面図。

【図10】本発明に係るボーダレスピアホールの形成方法の一工程図で、平坦化した酸化膜/SiN膜/酸化膜の積層膜上に層間絶縁膜を形成するまでの断面図。

【図11】本発明に係るボーダレスピアホールの形成方法の一工程図で、層間絶縁膜及びSiN膜にピアホールを形成するまでの断面図。

40 【図12】本発明に係るボーダレスピアホールの形成方法の最終工程を示す断面図。

【符号の説明】

21…Si基板、

22…フィールド酸化膜、

23…ゲート酸化膜、

24a…多結晶シリコン層、

24b…WSi_x層、

25, 32…層間絶縁膜、

27…W層、

28…金属配線層、

50

(4)

特開平11-204634

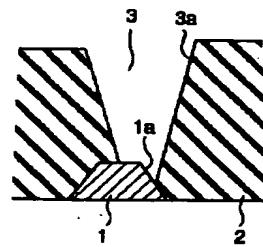
5

29, 31…酸化膜、
30…SiN膜、

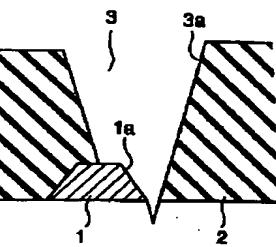
* 34…ピアホール。

*

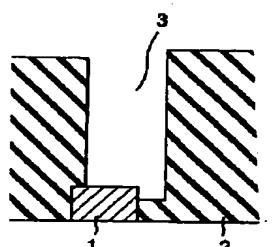
【図1】(後)



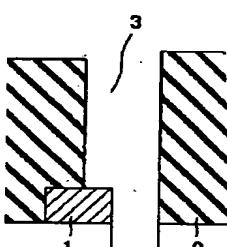
【図2】(後)



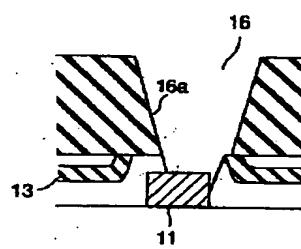
【図3】(後)



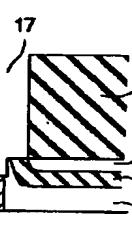
【図4】(後)



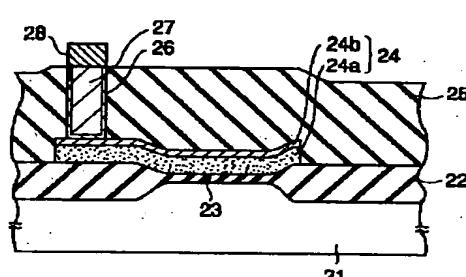
【図5】



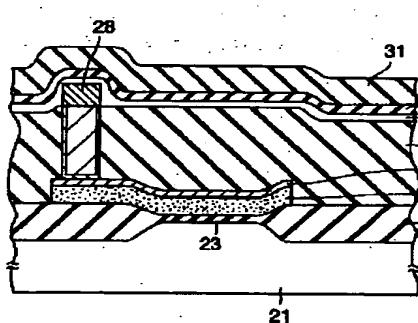
【図6】



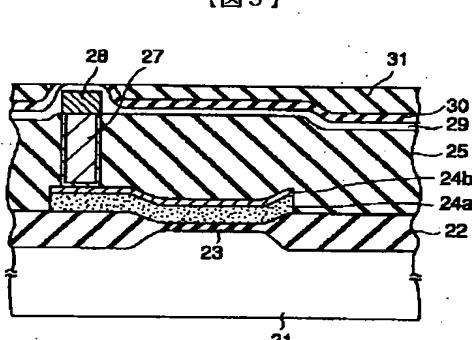
【図7】



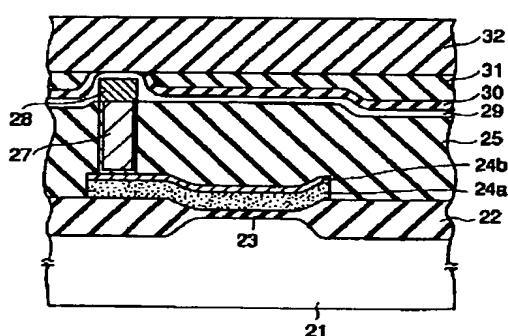
【図8】



【図9】



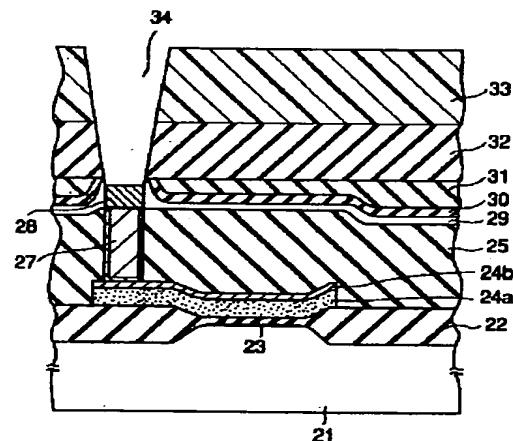
【図10】



(5)

特開平11-204634

【図11】



【図12】

